



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209486 A**

(43) Date of publication of application: 07.08.98

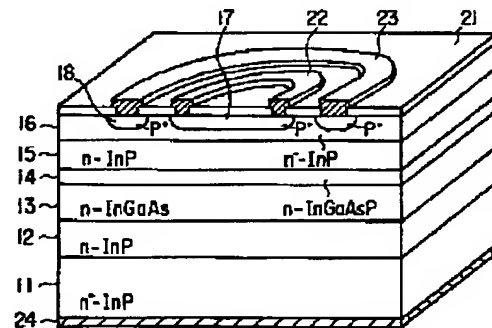
(51) Int. Cl. **H01L 31/107**(21) Application number: **10056687**(22) Date of filing: **09.03.98**(62) Division of application: **01083556**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **ONOMURA MASAOKI
SUZUKI NOBUO**(54) **SEMICONDUCTOR PHOTODETECTOR AND ITS
MANUFACTURE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the dark current to minimum in a semiconductor photodetector, and simplify a process for manufacturing the semiconductor photodetector.

SOLUTION: An APD is manufactured through such a method, wherein an N-type InP buffer layer 12, an N-type InGaAs light absorbing layer 13, an N-type InGaAs intermediate layer 14, an N-type InP avalanche multiplication layer 15, and an N-type InP layer 16 are epitaxially grown on an N⁺-type InP substrate 11, and further a P⁺-type InP layer 56 is grown thereon, then H ions are implanted into a part between regions which serve as a photodetecting section, and a guard-ring respectively, so as to separate a P-type photodetecting region 17 and a P-type guard ring region 18 from each other, and then electrodes 22, 23, and 24 are connected to the photodetecting region 17, the guard ring 18, and the substrate 11 respectively.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-209486

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

H 0 1 L 31/107

識別記号

F I

H 0 1 L 31/10

B

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平10-56687
(62) 分割の表示 特願平1-83556の分割
(22) 出願日 平成1年(1989) 3月31日

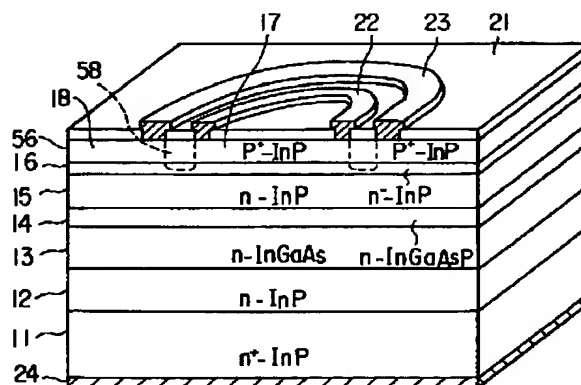
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 小野村 正明
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内
(72) 発明者 鈴木 信夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体受光装置及びその製造方法

(57) 【要約】

【課題】 受光部の暗電流を最小限に抑えることができ、且つ製造工程の簡略化をはかる。

【解決手段】 APDの製造方法において、 n^+ 型InP基板11上に、 n 型InPバッファ層12、 n 型InGaAs光吸収層13、 n 型InGaAsP中間層14、 n 型InPアバランシェ増倍層15、 n^- 型InP層16をエピタキシャル成長し、更にその上に p^+ 型InP層56を成長し、次いで受光部となる領域とガードリングとなる領域の間にHイオンを注入して、 p 型の受光領域17と p 型のガードリング領域18とを分離し、次いで受光領域17、ガードリング領域18、基板11、に電極22、23、24をそれぞれ接続する。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板と、この半導体基板上に積層形成された少なくとも光吸収層及びアバランシェ増倍層を含む第1導電型の半導体多層膜と、この半導体多層膜上に形成された第2導電型の半導体膜と、この半導体膜にリング状に形成され内側の受光領域と外側のガードリング領域とを電気的に分離する高抵抗領域又は第1導電型領域とを具備し、前記受光領域及びガードリング領域をそれぞれ異なる電極に接続してなることを特徴とする半導体受光装置。

【請求項2】n型半導体基板上に少なくともn型光吸収層、n型アバランシェ増倍層及び該増倍層と同種のp型半導体層を順次成長する工程と、前記p型半導体層の受光部となる領域とガードリング部となる領域の間にH、D、He、Li、Be、Ne、Ar又はn型不純物の少なくとも一つをイオン注入して、p型の受光領域とp型のガードリング領域とを分離する工程と、前記n型半導体基板、p型受光領域及びp型ガードリング領域のそれぞれに異なる電極を接続する工程とを含むことを特徴とする半導体受光装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体受光装置及びその製造方法に係わり、特にガードリング構造を有するプレーナ型ヘテロ接合アバランシェフォトダイオード(Avalanche PhotoDiode、以下APDと略す)等の半導体受光装置及びその製造方法に関する。

【0002】

【従来の技術】従来、光通信用の検出器としてフォトダイオードが使用されているが、その中でも受信側マージンの点で内部増幅機能を有するAPDが有用である。特に、InGaAs又はInGaAsPを光吸収層に用い、InPを増倍層に用いたAPDは、格子整合したヘテロ接合が可能であり、且つ石英系光ファイバーの低損失域である1.1~1.6 μ m帯に受信感度を持つ。このため、長距離大容量光通信の検出器として有望であり、その研究開発が盛んに進められている。

【0003】従来のAPD構造の一例(特開昭60-19876号公報)を図8に示す。n⁺-InP基板81の上にn-InPバッファ層82、n-InGaAs光吸収層83、n-InGaAsP中間層84、n-InPアバランシェ増倍層85及びn-InP層86を順次形成した半導体多層膜に、熱拡散或いはイオン注入により、階段型pn接合を有するp⁺型導電領域の受光領域87が形成され、この受光領域87の周囲に傾斜型pn接合を有するp型導電領域の第1のガードリング領域88が一部重なるように形成されている。

【0004】さらに、第1のガードリング領域88の周囲に、第1のガードリング領域88より接合深さが浅い第2のガードリング領域89が一部重なるように形成さ

れている。第1のガードリング領域88は階段型pn接合のエッジブレイクを防ぐため、第2のガードリング領域89は第1のガードリング領域88のエッジブレイクを防ぐためのものである。なお、91は透明絶縁膜、92は絶縁膜、93、94は電極を示している。

【0005】しかしながら、この種のAPDにあつては次のような問題があつた。即ち、2つのガードリングは形成条件が異なるため2回のイオン注入工程を必要とし、その活性化と拡散のために高温(例えば750℃)の熱処理工程を必要とする。また、受光部、第1及び第2のガードリング部に対し、それぞれのpn接合位置合わせマージンをとるため、受光部径に比べてpn接合面積が大きくなり、接合容量や暗電流の増加を招いていた。

【0006】

【発明が解決しようとする課題】このように従来技術によるガードリング形成は、製造工程が複雑であるばかりか、注入イオンの活性化のためにエピタキシャル成長温度よりも高温に晒す必要があり半導体基板の品質劣化の原因になる。また、ガードリング部に起因する暗電流が受光部に起因する暗電流と共に同じ電極を通じて流れるため、暗電流の増大の原因になる。

【0007】本発明は、上記事情を考慮してなされたもので、その目的とするところは、受光部の暗電流を最小限に抑えることができ、且つ製造工程の簡略化をはかり得る半導体受光装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

(構成)本発明の骨子は、ガードリング部を受光部のpn接合の外周部分に重ねて形成するのではなく、受光部の外周部と重ならない領域に受光部のpn接合形成と同時に形成し、受光部及びガードリング部をそれぞれ異なる電極に接続することにある。

【0009】前述したように、APDは高電圧を加えて用いるためpn接合近傍で局所ブレイクが起こり易く、それを抑えるためにイオン注入等で緩やかなpn接合であるガードリングを形成する必要があつた。ところが、本発明者等の研究及び実験によれば、受光部の外周部の重ならない領域にガードリングを形成したAPDに高電圧を加えても局所ブレイクが起こらないことが確認された。

【0010】本発明はこのような点に着目してなされたもので、APD等の半導体受光装置において、第1導電型の半導体基板と、この半導体基板上に積層形成された少なくとも光吸収層及びアバランシェ増倍層を含む第1導電型の半導体多層膜と、この半導体多層膜上に形成された第2導電型の半導体膜と、この半導体膜にリング状に形成され内側の受光領域と外側のガードリング領域とを電気的に分離する高抵抗領域又は第1導電型領域とを

具備し、前記受光領域及びガードリング領域をそれぞれ異なる電極に接続してなることを特徴とする。

【0011】また本発明は、上記半導体受光装置の製造方法において、 n 型半導体基板上に少なくとも n 型光吸収層、 n 型アバランシェ増倍層及び該増倍層と同種の p 型半導体層を順次成長する工程と、前記 p 型半導体層の受光部となる領域とガードリング部となる領域の間に H 、 D 、 He 、 Li 、 Be 、 Ne 、 Ar 又は n 型不純物の少なくとも一つをイオン注入して、 p 型の受光領域と p 型のガードリング領域とを分離する工程と、前記 n 型半導体基板、 p 型受光領域及び p 型ガードリング領域のそれぞれに異なる電極を接続する工程を含むことを特徴とする。

【0012】(作用)本発明によれば、高電界がかかる p - n 接合近傍で起こる局所ブレイクを防ぐために形成するガードリングを、従来のように受光部外周の一部を重ねて設けるのではなく、受光部外周側の重ならない領域に設け、受光部とガードリング部は異なる電極に接続して独立に電圧を印加している。このため、ガードリング部に起因する暗電流が受光部に流れることはなく、図7に示すように受光部に流れる暗電流を低減することができる。なお、動作状態においては、独立したガードリング部の電界によって受光部エッジでの横方向に延びる高電界の発生を抑えることができ、これにより受光部の階段型 p - n 接合のエッジブレイクを防ぐことが可能となる。

【0013】また、半導体結晶成長時に反対導電型半導体層を形成しイオン注入によって受光部とガードリング部を分離することにより、熱拡散プロセスさえ必ずしも必要としない。従って、製造工程が簡略で、プロセスの低温化により結晶の熱変動を最小限に抑えることが可能で、しかも低暗電流化が可能な半導体受光装置が得られる。

【0014】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。なお、以下の実施形態では、 $InP/InGaAs$ ヘテロ接合APDについて説明するが、他のヘテロ接合APD及びホモ接合APD等についても全く同様であることは容易に理解される。

【0015】(第1の実施形態)図1は、本発明の第1の実施形態に係わるAPDの概略構造を示す断面図である。

【0016】 n^+ - InP 基板11上に、 n - InP バッファ層12を $2\mu m$ 厚に、キャリア濃度が $1\sim 2\times 10^{15}cm^{-3}$ の n - $InGaAs$ 光吸収層13を $2\mu m$ 厚に、キャリア濃度が $2\times 10^{16}cm^{-3}$ の n - $InGaAs$ 中間層14を $0.4\mu m$ 厚に、キャリア濃度が $2\sim 3\times 10^{16}cm^{-3}$ の n - InP アバランシェ増倍層15を $1\mu m$ 厚に、キャリア濃度が $1\sim 2\times 10^{15}cm^{-3}$ の n^- - InP 層16を $0.8\mu m$ 厚に、順次エピタキシ

ヤル成長により形成した後、 SiO_2 膜21を絶縁マスクとして、 Cd を $560^\circ C$ の温度で15分間熱拡散し、所望の深さに p - n 接合が位置するように p^+ 型の受光領域17及びガードリング領域18を形成した。また、受光領域17表面の一部及びガードリング領域18の表面に、それぞれが別電極としてとれるようにオーミック電極22、23を形成し、さらに基板11の裏面側にオーミック電極24を形成した。

【0017】この実施形態においては、イオン注入を行わないので活性化のための高温熱処理を必要としない。図2に、この実施形態によるAPDに高電圧を印加した場合の空乏層内の電気力線を示す。図2において基板との間に印加する電圧の絶対値は受光領域17よりガードリング領域18の方を小さくしている。この場合、ガードリング領域17に起因する電流はガードリング領域17上に形成された電極23に流れるので、受光領域17の暗電流は低く抑えることができる。また、ガードリング領域18によって形成される電界によって、受光領域17のエッジで横方向に伸びる高電界を抑えることができ、その結果、受光領域17の階段型 p - n 接合のエッジブレイクを防ぐことができる。

【0018】かくして本実施形態によれば、受光領域17とガードリング領域18とを分離した構造を持つ3端子構造APDにおいて、局所ブレイクを防ぐ効果が十分に得られ、ガードリング領域18に起因する暗電流はガードリング領域18上に形成された電極23を通じて流れるので受光領域17上に形成された主電極21を通じて流れる暗電流を低く抑えることができる。しかも、製造工程を簡略化した低温プロセスで良好な素子特性を有する半導体受光装置を実現することができる。従って、素子特性の優れた半導体受光装置を簡易に再現性よく実現することができ、その有用性は絶大である。

【0019】(第2の実施形態)図3は、本発明の第2の実施形態に係わるAPDの概略構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0020】この実施形態では、 n^+ - InP 基板11上に、各層12、～、16を先の実施形態と同じ条件で形成した後、図示しない SiO_2 膜を絶縁マスクとして用いてガードリングとなる領域の外周部に Be イオンを $150kV$ で $1\times 10^{13}cm^{-2}$ 注入し、 $700^\circ C$ で20分の熱処理を行うことにより、イオン注入後の活性化と拡散を行いガードリング領域(第2のガードリング領域)19を形成し、イオン注入のための SiO_2 膜を取り除いた後に、新たに熱拡散のために SiO_2 膜21を絶縁マスクとして形成し、 Cd を $560^\circ C$ の温度で15分間熱拡散し、所望の深さに p^+ - n 接合が位置するように受光領域17及びガードリング領域(第1のガードリング領域)18を形成した。

【0021】図3の構造は、図1のガードリング領域1

8の外周部にイオン注入を行った構造であるが、これによってガードリング領域18に受光領域17への印加電圧と絶対値が同程度または僅かに高く電圧を印加できるようにしたものである。

【0022】図4に、第2の実施形態によるAPDに高電圧を印加した場合の電気力線を示す。図4において基板との間に印加する電圧の絶対値は、受光領域17に比べてガードリング領域18の方が僅かに大きいと同程度である。この場合も、ガードリング領域18によって形成される電界によって、受光領域17のエッジで横方向に伸びる高電界の発生を抑えることができ、これにより受光部pn接合からの電界はアバランシェ増倍層から光吸収層まで一様に延びるようになり、また第1の実施形態と同様にガードリング領域18に起因する電流はガードリング領域18上に形成された電極23に流れるので、受光領域17の暗電流は低く抑えることができる。

【0023】(第3の実施形態)図5は、本発明の第3の実施形態に係わるAPDの概略構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0024】この実施形態では、 $n^+ - \text{InP}$ 基板11上に、各層12、～、15を先の実施形態と同じ条件で形成したのち、続いてキャリア濃度が $1 \sim 2 \times 10^{15} \text{ cm}^{-3}$ の $n^- - \text{InP}$ 層16を $0.2 \mu\text{m}$ 厚に、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の $p^+ - \text{InP}$ 層56を $0.8 \mu\text{m}$ 厚に、順次エピタキシャル成長により形成した。次いで、 SiO_2 膜21を絶縁マスクとして、 H イオンを 100 kV で $1 \times 10^{13} \text{ cm}^{-2}$ 注入し、受光領域17及びガードリング領域18の分離のための絶縁部(高抵抗層)58を形成した。このイオン注入されたp型InP領域56は 400°C 程度の熱処理により抵抗率 $10^6 \Omega \text{ cm}$ 以上の半絶縁領域58となる。また、図5では水素をイオン注入源として用いたが、この代わりにn型不純物を用いてもよい。この場合、n型不純物をイオン注入した後、活性化のための熱処理を行えば、 p^+ 型受光領域17とイオン注入領域の界面では緩やかなpn接合が形成されることになり、電界集中緩和が期待できる。

【0025】図6に、第3の実施形態によるAPDに高電圧を印加した場合の電気力線を示す。図6において基板との間に印加する電圧の絶対値は、受光領域17とガードリング領域18とで同程度である。

【0026】なお、本発明は上述した各実施形態に限定されるものではない。実施形態ではInP/InGaAsヘテロ接合APDについて説明したが、他のヘテロ接合APDやホモ接合APD等に適用することもできる。即ち、半導体多層膜を用いる代わりに、ゲルマニウムや

シリコン等の基板の表面層に直接、受光領域やガードリング領域を形成することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0027】

【発明の効果】以上詳述したように本発明によれば、ガードリング部を受光部のpn接合の外周部分に重ねて形成するのではなく、受光部の外周部と重ならない領域に受光部のpn接合形成と同時に形成し、受光部及びガードリング部をそれぞれ異なる電極に接続することにより、受光部上に形成された電極を通じて流れる暗電流は低く抑えることができる。また、イオン注入によって受光部とガードリング部を分離することにより、その後の熱拡散プロセスを必要とせず、しかも1回のイオン注入処理で受光部とガードリング部を同時に形成できるので、製造工程の簡略化をはかり得る。

【図面の簡単な説明】

【図1】第1の実施形態に係わるAPDの概略構造を示す断面図。

【図2】第1の実施形態のAPDに電圧を印加したときの電気力線を示す模式図。

【図3】第2の実施形態の概略構造を示す断面図。

【図4】第2の実施形態における電気力線を示す模式図。

【図5】第3の実施形態の概略構造を示す断面図。

【図6】第3の実施形態における電気力線を示す模式図。

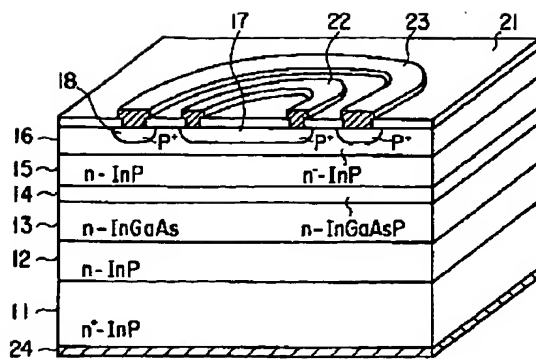
【図7】本発明のAPD及び従来のAPDの逆方向電圧印加における暗電流特性を示す特性図。

【図8】従来のAPDの概略構造を示す断面図。

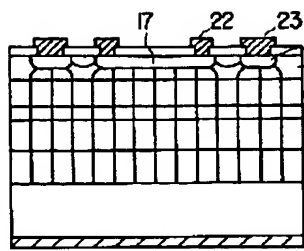
【符号の説明】

- 11... $n^+ - \text{InP}$ 基板
- 12... $n - \text{InP}$ バッファ層
- 13... $n - \text{InGaAs}$ 光吸収層
- 14... $n - \text{InGaAsP}$ 中間層
- 15... $n - \text{InP}$ アバランシェ増倍層
- 16... $n^- - \text{InP}$ 層
- 17... p^+ 型層(受光領域)
- 18... p^+ 型層(第1のガードリング領域)
- 19... p^+ 型層(第2のガードリング領域)
- 21...絶縁膜
- 22, 23...p側電極
- 24...n側電極
- 56... $p^+ - \text{InP}$ 層
- 58...絶縁部(高抵抗層)

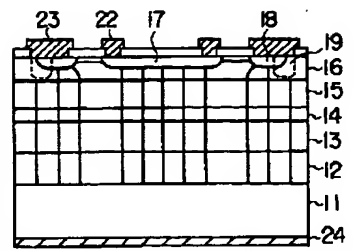
【図1】



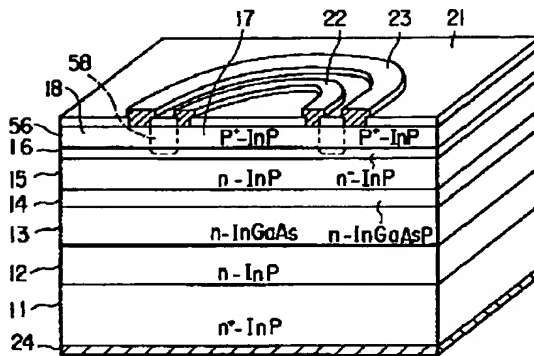
【図2】



【図4】

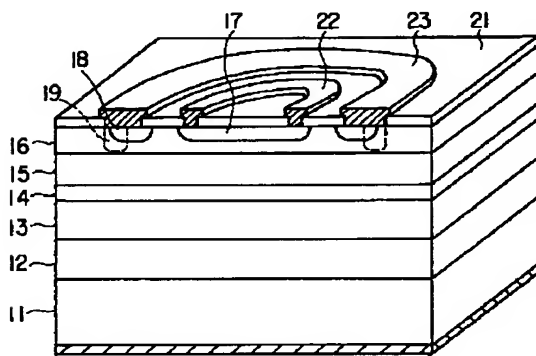


【図5】

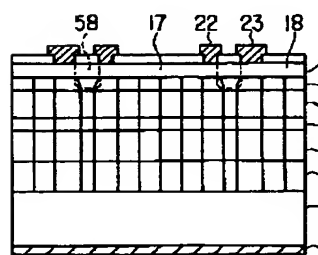


【図8】

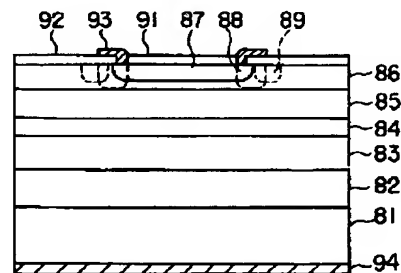
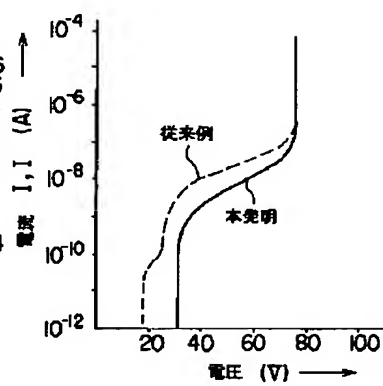
【図3】



【図6】



【図7】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209486 A**(43) Date of publication of application: **07.08.98**

(51) Int. Cl.

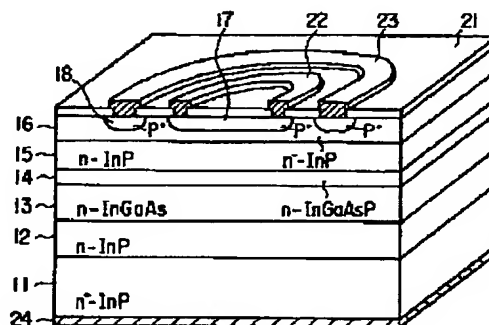
H01L 31/107(21) Application number: **10056687**(22) Date of filing: **09.03.98**(62) Division of application: **01083556**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **ONOMURA MASAOKI
SUZUKI NOBUO**(54) **SEMICONDUCTOR PHOTODETECTOR AND ITS
MANUFACTURE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the dark current to minimum in a semiconductor photodetector, and simplify a process for manufacturing the semiconductor photodetector.

SOLUTION: An APD is manufactured through such a method, wherein an N-type InP buffer layer 12, an N-type InGaAs light absorbing layer 13, an N-type InGaAs intermediate layer 14, an N-type InP avalanche multiplication layer 15, and an N-type InP layer 16 are epitaxially grown on an N⁺-type InP substrate 11, and further a P⁺-type InP layer 56 is grown thereon, then H ions are implanted into a part between regions which serve as a photodetecting section, and a guard-ring respectively, so as to separate a P-type photodetecting region 17 and a P-type guard ring region 18 from each other, and then electrodes 22, 23, and 24 are connected to the photodetecting region 17, the guard ring 18, and the substrate 11 respectively.



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第2996943号
(P2996943)

(45)発行日 平成12年 1 月11日 (2000. 1. 11)

(24)登録日 平成11年10月29日 (1999. 10. 29)

(51)Int.Cl.⁷

H 0 1 L 31/107

識別記号

F I

H 0 1 L 31/10

B

請求項の数 2 (全 5 頁)

(21)出願番号 特願平10-56687
(62)分割の表示 特願平1-83556の分割
(22)出願日 平成 1 年 3 月31日 (1989. 3. 31)

(65)公開番号 特開平10-209486
(43)公開日 平成10年 8 月 7 日 (1998. 8. 7)
審査請求日 平成10年 3 月 9 日 (1998. 3. 9)

(73)特許権者 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 小野村 正明
神奈川県川崎市幸区小向東芝町 1 番地
株式会社東芝総合研究所内
(72)発明者 鈴木 信夫
神奈川県川崎市幸区小向東芝町 1 番地
株式会社東芝総合研究所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外 6 名)

審査官 小原 博生

最終頁に続く

(54)【発明の名称】 半導体受光装置及びその製造方法

(57)【特許請求の範囲】

【請求項 1】第 1 導電型の半導体基板と、この半導体基板上に積層形成された少なくとも光吸収層及びアバランシェ増倍層を含む第 1 導電型の半導体多層膜と、この半導体多層膜上に形成された第 2 導電型の半導体膜と、この半導体膜に表面から裏面に達するまで高抵抗領域又は第 1 導電型領域をリング状に形成してなり、内側の受光領域と外側のガードリング領域とを電気的に分離する分離領域とを具備し、前記受光領域及びガードリング領域をそれぞれ異なる電極に接続してなることを特徴とする半導体受光装置。

【請求項 2】n 型半導体基板上に少なくとも n 型光吸収層、n 型アバランシェ増倍層及び該増倍層と同種の p 型半導体層を順次成長する工程と、前記 p 型半導体層の受光部となる領域とガードリング部となる領域の間に H、

D、He、Li、Be、Ne、Ar 又は n 型不純物の少なくとも一つをイオン注入して、p 型の受光領域と p 型のガードリング領域とを分離する工程と、前記 n 型半導体基板、p 型受光領域及び p 型ガードリング領域のそれぞれに異なる電極を接続する工程とを含むことを特徴とする半導体受光装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体受光装置及びその製造方法に係わり、特にガードリング構造を有するプレーナ型ヘテロ接合アバランシェフォトダイオード (Avalanche PhotoDiode、以下 APD と略す) 等の半導体受光装置及びその製造方法に関する。

【0002】

【従来の技術】従来、光通信用の検出器としてフォトダ

イオードが使用されているが、その中でも受信側マージンの点で内部増幅機能を有するAPDが有用である。特に、InGaAs又はInGaAsPを光吸収層に用い、InPを増倍層に用いたAPDは、格子整合したヘテロ接合が可能であり、且つ石英系光ファイバーの低損失域である1.1~1.6μm帯に受信感度を持つ。このため、長距離大容量光通信の検出器として有望であり、その研究開発が盛んに進められている。

【0003】従来のAPD構造の一例（特開昭60-19876号公報）を図8に示す。n⁺-InP基板81の上にn-InPバッファ層82、n⁻-InGaAs光吸収層83、n-InGaAsP中間層84、n-InPアバランシェ増倍層85及びn⁻-InP層86を順次形成した半導体多層膜に、熱拡散或いはイオン注入により、階段型pn接合を有するp⁺型導電領域の受光領域87が形成され、この受光領域87の周囲に傾斜型pn接合を有するp型導電領域の第1のガードリング領域88が一部重なるように形成されている。

【0004】さらに、第1のガードリング領域88の周囲に、第1のガードリング領域88より接合深さが浅い第2のガードリング領域89が一部重なるように形成されている。第1のガードリング領域88は階段型pn接合のエッジブレイクを防ぐため、第2のガードリング領域89は第1のガードリング領域88のエッジブレイクを防ぐためのものである。なお、91は透明絶縁膜、92は絶縁膜、93、94は電極を示している。

【0005】しかしながら、この種のAPDにあつては次のような問題があつた。即ち、2つのガードリングは形成条件が異なるため2回のイオン注入工程を必要とし、その活性化と拡散のために高温（例えば750℃）の熱処理工程を必要とする。また、受光部、第1及び第2のガードリング部に対し、それぞれのpn接合位置合わせマージンをとるため、受光部径に比べてpn接合面積が大きくなり、接容量や暗電流の増加を招いていた。

【0006】

【発明が解決しようとする課題】このように従来技術によるガードリング形成は、製造工程が複雑であるばかりか、注入イオンの活性化のためにエピタキシャル成長温度よりも高温に曝す必要があり半導体基板の品質劣化の原因になる。また、ガードリング部に起因する暗電流が受光部に起因する暗電流と共に同じ電極を通じて流れるため、暗電流の増大の原因になる。

【0007】本発明は、上記事情を考慮してなされたもので、その目的とするところは、受光部の暗電流を最小限に抑えることができ、且つ製造工程の簡略化をはかり得る半導体受光装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

（構成）本発明の骨子は、ガードリング部を受光部のpn接合の外周部分に重ねて形成するのではなく、受光部の外周部と重ならない領域に受光部のpn接合形成と同時に形成し、受光部及びガードリング部をそれぞれ異なる電極に接続することにある。

【0009】前述したように、APDは高電圧を加えて用いるためpn接合近傍で局所ブレイクが起こり易く、それを抑えるためにイオン注入等で緩やかなpn接合であるガードリングを形成する必要があつた。ところが、本発明者等の研究及び実験によれば、受光部の外周部の重ならない領域にガードリングを形成したAPDに高電圧を加えても局所ブレイクが起こらないことが確認された。

【0010】本発明はこのような点に着目してなされたもので、APD等の半導体受光装置において、第1導電型の半導体基板と、この半導体基板上に積層形成された少なくとも光吸収層及びアバランシェ増倍層を含む第1導電型の半導体多層膜と、この半導体多層膜上に形成された第2導電型の半導体膜と、この半導体膜に表面から裏面に達するまで高抵抗領域又は第1導電型領域をリング状に形成してなり、内側の受光領域と外側のガードリング領域とを電気的に分離する分離領域とを具備し、前記受光領域及びガードリング領域をそれぞれ異なる電極に接続してなることを特徴とする。

【0011】また本発明は、上記半導体受光装置の製造方法において、n型半導体基板上に少なくともn型光吸収層、n型アバランシェ増倍層及び該増倍層と同種のp型半導体層を順次成長する工程と、前記p型半導体層の受光部となる領域とガードリング部となる領域の間にH、D、He、Li、Be、Ne、Ar又はn型不純物の少なくとも一つをイオン注入して、p型の受光領域とp型のガードリング領域とを分離する工程と、前記n型半導体基板、p型受光領域及びp型ガードリング領域のそれぞれに異なる電極を接続する工程とを含むことを特徴とする。

【0012】（作用）本発明によれば、高電界がかかるpn接合近傍で起こる局所ブレイクを防ぐために形成するガードリングを、従来のように受光部外周に一部を重ねて設けるのではなく、受光部外周側の重ならない領域に設け、受光部とガードリング部は異なる電極に接続して独立に電圧を印加している。このため、ガードリング部に起因する暗電流が受光部に流れることはなく、図7に示すように受光部に流れる暗電流を低減することができる。なお、動作状態においては、独立したガードリング部の電界によって受光部エッジでの横方向に延びる高電界の発生を抑えることができ、これにより受光部の階段型pn接合のエッジブレイクを防ぐことが可能となる。

【0013】また、半導体結晶成長時に反対導電型半導体層を形成しイオン注入によって受光部とガードリング

部を分離することにより、熱拡散プロセスさえ必ずしも必要としない。従って、製造工程が簡略で、プロセスの低温化により結晶の熱変動を最小限に抑えることが可能で、しかも低暗電流化が可能な半導体受光装置が得られる。

【0014】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。なお、以下の実施形態では、InP/InGaAsヘテロ接合APDについて説明するが、他のヘテロ接合APD及びホモ接合APD等についても全く同様であることは容易に理解される。

【0015】（第1の実施形態）図1は、本発明の第1の実施形態に係わるAPDの概略構造を示す断面図である。

【0016】 $n^+ - \text{InP}$ 基板11上に、 $n - \text{InP}$ バッファ層12を $2\mu\text{m}$ 厚に、キャリア濃度が $1 \sim 2 \times 10^{15} \text{ cm}^{-3}$ の $n - \text{InGaAs}$ 光吸収層13を $2\mu\text{m}$ 厚に、キャリア濃度が $2 \times 10^{16} \text{ cm}^{-3}$ の $n - \text{InGaAs}$ 中間層14を $0.4\mu\text{m}$ 厚に、キャリア濃度が $2 \sim 3 \times 10^{16} \text{ cm}^{-3}$ の $n - \text{InP}$ アバランシェ増倍層15を $1\mu\text{m}$ 厚に、キャリア濃度が $1 \sim 2 \times 10^{15} \text{ cm}^{-3}$ の $n - \text{InP}$ 層16を $0.8\mu\text{m}$ 厚に、順次エピタキシャル成長により形成した後、 SiO_2 膜21を絶縁マスクとして、Cdを 560°C の温度で15分間熱拡散し、所望の深さにpn接合が位置するように p^+ 型の受光領域17及びガードリング領域18を形成した。また、受光領域17表面の一部及びガードリング領域18の表面に、それぞれが別電極としてとれるようにオーミック電極22、23を形成し、さらに基板11の裏面側にオーミック電極24を形成した。

【0017】この実施形態においては、イオン注入を行わないので活性化のための高温熱処理を必要としない。図2に、この実施形態によるAPDに高電圧を印加した場合の空乏層内の電気力線を示す。図2において基板との間に印加する電圧の絶対値は受光領域17よりガードリング領域18の方を小さくしている。この場合、ガードリング領域17に起因する電流はガードリング領域17上に形成された電極23に流れるので、受光領域17の暗電流は低く抑えることができる。また、ガードリング領域18によって形成される電界によって、受光領域17のエッジで横方向に伸びる高電界を抑えることができ、その結果、受光領域17の階段型pn接合のエッジブレイクを防ぐことができる。

【0018】かくして本実施形態によれば、受光領域17とガードリング領域18とを分離した構造を持つ3端子構造APDにおいて、局所ブレイクを防ぐ効果が十分に得られ、ガードリング領域18に起因する暗電流はガードリング領域18上に形成された電極23を通じて流れるので受光領域17上に形成された主電極21を通じて流れる暗電流を低く抑えることができる。しかも、製

造工程を簡略化した低温プロセスで良好な素子特性を有する半導体受光装置を実現することができる。従って、素子特性の優れた半導体受光装置を簡易に再現性よく実現することができ、その有用性は絶大である。

【0019】（第2の実施形態）図3は、本発明の第2の実施形態に係わるAPDの概略構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0020】この実施形態では、 $n^+ - \text{InP}$ 基板11上に、各層12、～、16を先の実施形態と同じ条件で形成した後、図示しない SiO_2 膜を絶縁マスクとして用いてガードリングとなる領域の外周部にBeイオンを 150 kV で $1 \times 10^{13} \text{ cm}^{-2}$ 注入し、 700°C で20分の熱処理を行うことにより、イオン注入後の活性化と拡散を行いガードリング領域（第2のガードリング領域）19を形成し、イオン注入のための SiO_2 膜を取り除いた後に、新たに熱拡散のために SiO_2 膜21を絶縁マスクとして形成し、Cdを 560°C の温度で15分間熱拡散し、所望の深さに $p^+ - n$ 接合が位置するように受光領域17及びガードリング領域（第1のガードリング領域）18を形成した。

【0021】図3の構造は、図1のガードリング領域18の外周部にイオン注入を行った構造であるが、これによってガードリング領域18に受光領域17への印加電圧と絶対値が同程度または僅かに高く電圧を印加できるようにしたものである。

【0022】図4に、第2の実施形態によるAPDに高電圧を印加した場合の電気力線を示す。図4において基板との間に印加する電圧の絶対値は、受光領域17に比べてガードリング領域18の方が僅かに大きいと同程度である。この場合も、ガードリング領域18によって形成される電界によって、受光領域17のエッジで横方向に伸びる高電界の発生を抑えることができ、これにより受光部pn接合からの電界はアバランシェ増倍層から光吸収層まで一様に延びようになり、また第1の実施形態と同様にガードリング領域18に起因する電流はガードリング領域18上に形成された電極23に流れるので、受光領域17の暗電流は低く抑えることができる。

【0023】（第3の実施形態）図5は、本発明の第3の実施形態に係わるAPDの概略構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0024】この実施形態では、 $n^+ - \text{InP}$ 基板11上に、各層12、～、15を先の実施形態と同じ条件で形成したのち、続いてキャリア濃度が $1 \sim 2 \times 10^{15} \text{ cm}^{-3}$ の $n - \text{InP}$ 層16を $0.2\mu\text{m}$ 厚に、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の $p^+ - \text{InP}$ 層56を $0.8\mu\text{m}$ 厚に、順次エピタキシャル成長により形成した。次いで、 SiO_2 膜21を絶縁マスクとして、Hイオンを 100 kV で $1 \times 10^{13} \text{ cm}^{-2}$ 注入し、受光領域17及

7

びガードリング領域18の分離のための絶縁部（高抵抗層）58を形成した。このイオン注入されたp型InP領域56は400℃程度の熱処理により抵抗率 $10^6 \Omega \text{ cm}$ 以上の半絶縁領域58となる。また、図5では水素をイオン注入源として用いたが、この代わりにn型不純物を用いてもよい。この場合、n型不純物をイオン注入した後、活性化のための熱処理を行えば、p⁺型受光領域17とイオン注入領域の界面では緩やかなpn接合が形成されることになり、電界集中緩和が期待できる。

【0025】図6に、第3の実施形態によるAPDに高電圧を印加した場合の電気力線を示す。図6において基板との間に印加する電圧の絶対値は、受光領域17とガードリング領域18とで同程度である。

【0026】なお、本発明は上述した各実施形態に限定されるものではない。実施形態ではInP/InGaAsヘテロ接合APDについて説明したが、他のヘテロ接合APDやホモ接合APD等に適用することもできる。即ち、半導体多層膜を用いる代わりに、ゲルマニウムやシリコン等の基板の表面層に直接、受光領域やガード

リング領域を形成することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0027】

【発明の効果】以上詳述したように本発明によれば、ガードリング部を受光部のpn接合の外周部分に重ねて形成するのではなく、受光部の外周部と重ならない領域に受光部のpn接合形成と同時に形成し、受光部及びガードリング部をそれぞれ異なる電極に接続することにより、受光部上に形成された電極を通じて流れる暗電流は低く抑えることができる。また、イオン注入によって受光部とガードリング部を分離することにより、その後の熱拡散プロセスを必要とせず、しかも1回のイオン注入

8

処理で受光部とガードリング部を同時に形成できるので、製造工程の簡略化をはかり得る。

【図面の簡単な説明】

【図1】第1の実施形態に係わるAPDの概略構造を示す断面図。

【図2】第1の実施形態のAPDに電圧を印加したときの電気力線を示す模式図。

【図3】第2の実施形態の概略構造を示す断面図。

【図4】第2の実施形態における電気力線を示す模式図。

【図5】第3の実施形態の概略構造を示す断面図。

【図6】第3の実施形態における電気力線を示す模式図。

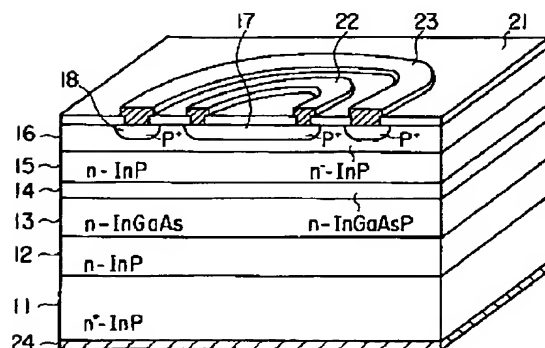
【図7】本発明のAPD及び従来のAPDの逆方向電圧印加における暗電流特性を示す特性図。

【図8】従来のAPDの概略構造を示す断面図。

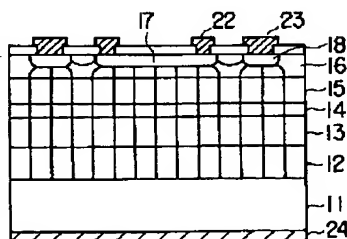
【符号の説明】

- 11…n⁺—InP基板
- 12…n—InPバッファ層
- 13…n—InGaAs光吸収層
- 14…n—InGaAsP中間層
- 15…n—InPアバランシェ増倍層
- 16…n⁻—InP層
- 17…p⁺型層（受光領域）
- 18…p⁺型層（第1のガードリング領域）
- 19…p⁺型層（第2のガードリング領域）
- 21…絶縁膜
- 22, 23…p側電極
- 24…n側電極
- 56…p⁺—InP層
- 58…絶縁部（高抵抗層）

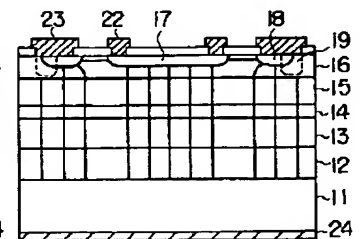
【図1】



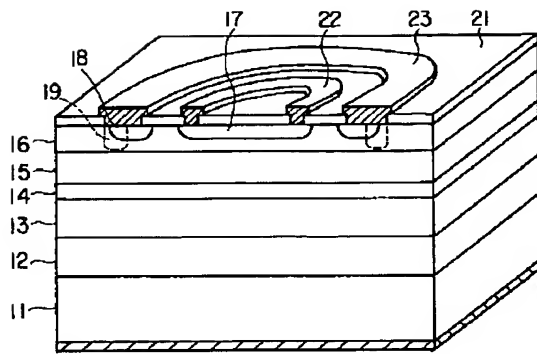
【図2】



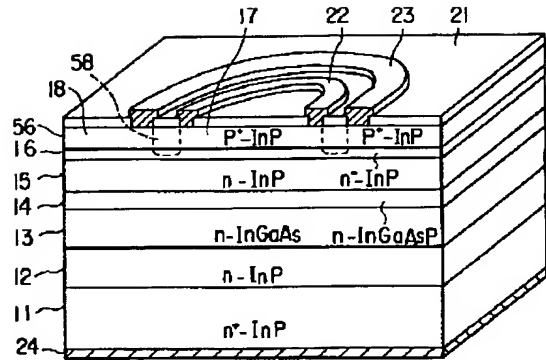
【図4】



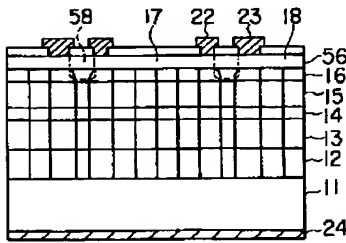
【図3】



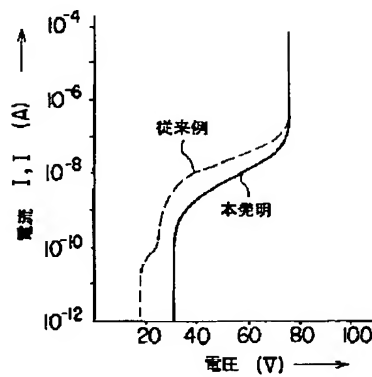
【図5】



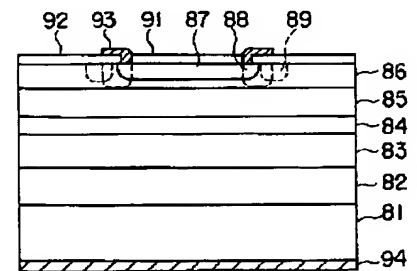
【図6】



【図7】



【図8】



フロントページの続き

(56) 参考文献 特開 昭60-173882 (J P, A)
 特開 昭56-87380 (J P, A)
 特開 昭50-57785 (J P, A)
 特開 昭63-204666 (J P, A)
 特開 昭63-224268 (J P, A)

(58) 調査した分野(Int. Cl. 7, D B 名)
 H01L 31/10 - 31/113